

제13장 기본 연산증폭기 회로

13.1 비교기(Comparator)

• 영전위 검출

- 2개의 입력전압이 크거나 작을 때 2가지 중 하나가 출력되는 연산증폭기 회로
 - ⇒ 입력전압이 어떤 일정 레벨(기준전압)을 넘는 것을 감지하는 회로
 - ⇒ 비교기(comparator)
- 그림 13.1(a)는 연산증폭기 비교기 회로를 사용한 영전위 검출기 회로를 표시
 - ⇒ 반전 단자는 접지되고, 비반전 단자에는 입력신호전압 V_{in} 인가
 - ⇒ 높은 개루프 전압 때문에 증폭기가 포화되어 출력전압은 최대
- 그림 13.1(b)는 정현파가 영전위 검출기의 비반전 단자에 인가된 경우의 출력
 - ⇒ 정현파 입력을 구형파로 만드는 구형파 발생 회로로 사용

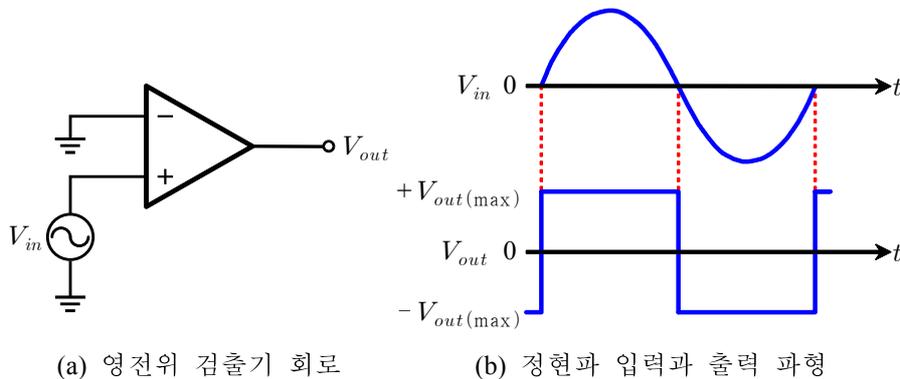


그림 13.1 영전위 검출기로 사용된 연산증폭기

• 영이 아닌 전위 검출

- 그림 13.2(a)는 고정된 기준전압을 연결하여 영이 아닌 전압을 검출하는 회로
 - ⇒ 그림 13.2(b)는 전압분배기를 이용하여 V_{ref} 를 발생시키는 회로
 - ⇒ 그림 13.2(c)는 제너다이오드를 이용, $V_{ref} = V_Z$ 로 고정시킨 회로

$$V_{ref} = \frac{R_2}{R_1 + R_2} V$$

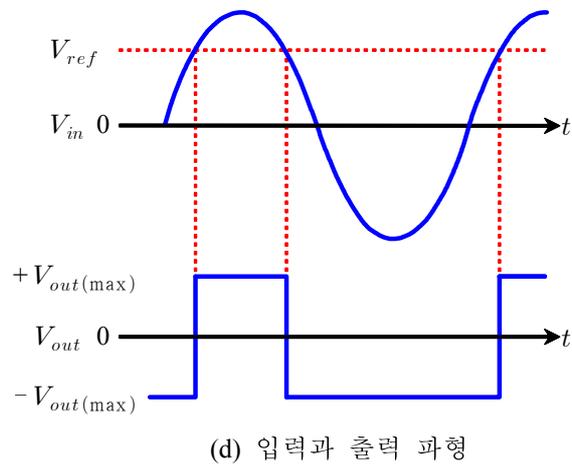
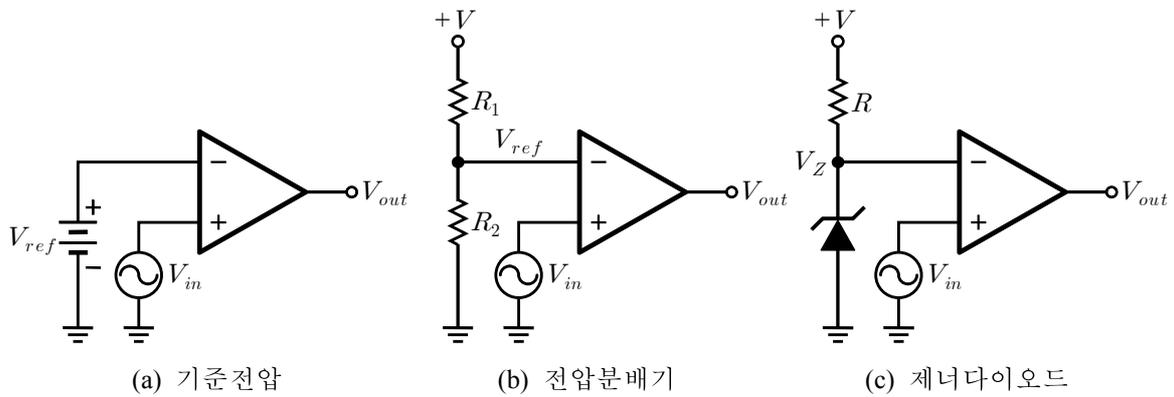


그림 13.2 영이 아닌 전위 검출기

- 그림 13.2(d)와 같이 정현과 입력전압이 $V_{in} < V_{ref}$ 이면 출력전압은 $-V_{out(max)}$
 \Rightarrow 입력전압이 $V_{in} > V_{ref}$ 이면 출력전압은 $+V_{out(max)}$

【예제 13.1】 그림 13.3(a)의 정현과 입력이 그림 13.3(b)의 비교기 회로에 공급되었다. 입력에 대한 출력을 그려라. 최대 출력 레벨은 $\pm 12V$ 이다.

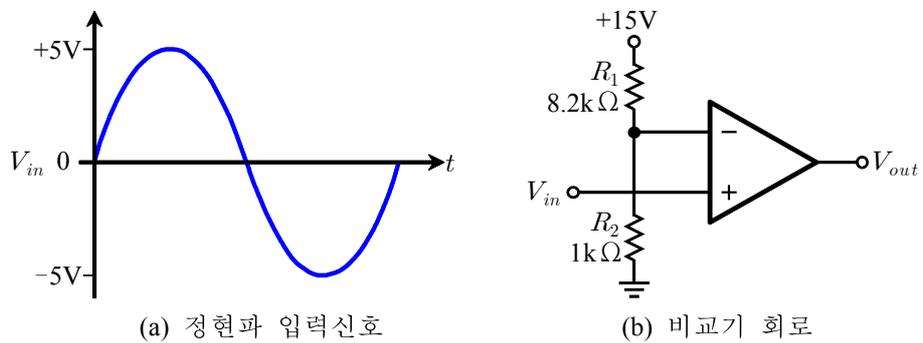


그림 13.3 예제 13.1의 회로

- V_{in} 이 +1.63V이상이면 V_{out} 은 +12V, V_{in} 이 +1.63V미만이면 V_{out} 은 -12V

$$V_{ref} = \frac{R_2}{R_1 + R_2} V = \frac{1}{8.2+1} \times 15 = 1.63[V]$$

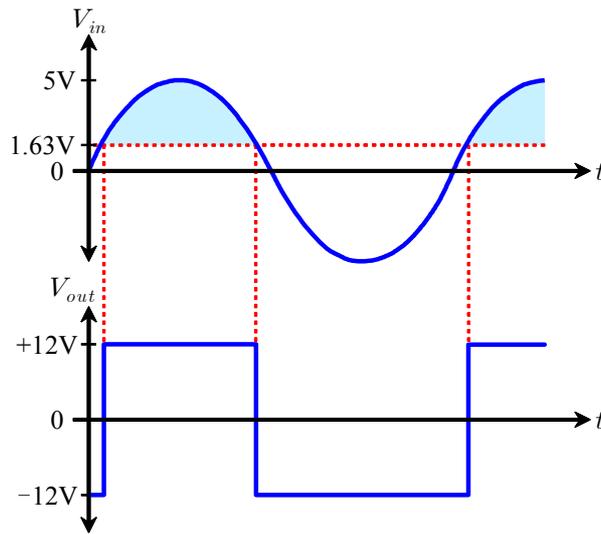


그림 13.4 예제 13.1의 입출력 파형

• 비교기에서 입력 잡음의 영향

- 그림 13.1의 비교기는 입력 신호에 잡음이 포함되면 오동작의 가능성 존재
 ⇒ 그림 13.5와 같이 입력에 중첩되어 비교기 출력에 오류 유발

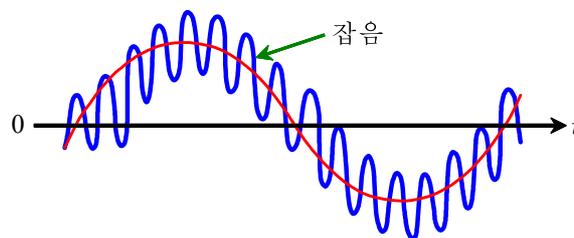
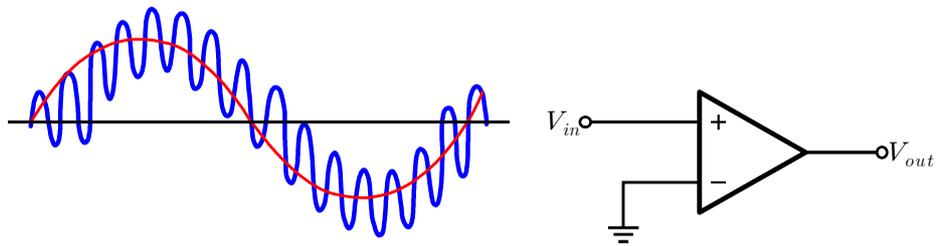
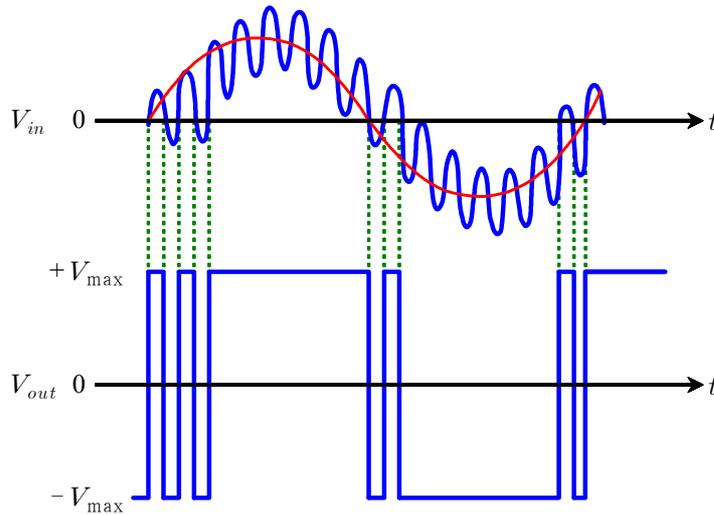


그림 13.5 잡음이 중첩된 정현파

- 그림 13.6(a)와 같이 영전위 검출기인 비교기의 입력에 정현파가 공급된 경우
 ⇒ 정현파 입력이 0에 접근할 때 잡음에 의해 입력은 0의 상하로 교차
 ⇒ 그림 13.6(b)와 같이 출력과형에 오류가 발생



(a) 비교기에 잡음이 실린 정현파 인가



(b) 출력 파형의 오류 발생

그림 13.6 비교기에서 잡음의 영향

• 히스테리시스에 의한 잡음의 영향 감소

- 잡음에 따른 비교기의 출력 오류를 줄이기 위해 히스테리시스 정귀환을 사용
 - ⇒ 그림 13.7은 전압분배기를 갖는 히스테리시스 정귀환 회로를 표시
 - ⇒ 비반전 입력은 출력전압의 전압분배기 귀환회로에 연결
 - ⇒ 입력신호는 반전 입력 단자에 인가

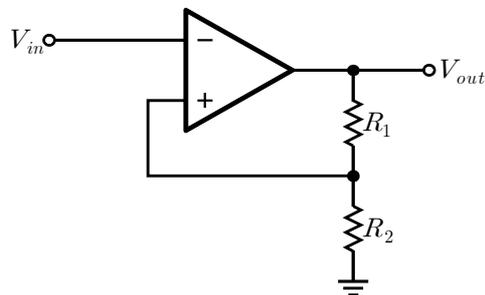


그림 13.7 히스테리시스를 위해 정귀환을 갖는 비교기

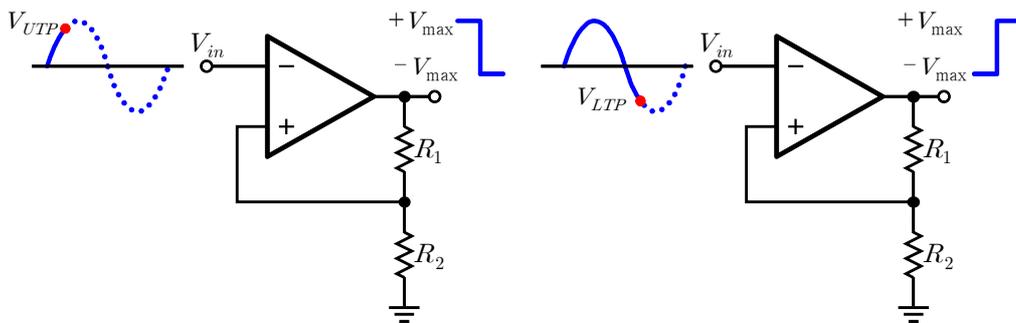
- 그림 13.8(a)와 같이 출력이 $+V_{max}$ 일 때 비반전 단자로의 귀환전압은 V_{UTP}
 $\Rightarrow V_{UTP}$ 가 비반전 단자로 귀환될 때 차동입력전압 $V_d = V_{UTP} - V_{in}$
 $\Rightarrow V_{in} > V_{UTP}$ 이면 $V_d < 0$ 이고, 출력은 $+V_{max}$ 에서 $-V_{max}$ 로 변환

$$V_{UTP} = \frac{R_2}{R_1 + R_2} (+V_{max}) > 0 \tag{13.1}$$

- 그림 13.8(b)와 같이 출력이 $-V_{max}$ 일 때 비반전 단자로의 귀환전압은 V_{LTP}
 $\Rightarrow V_{LTP}$ 가 비반전 단자로 귀환될 때 차동입력전압 $V_d = V_{LTP} - V_{in}$
 $\Rightarrow V_{in} < V_{LTP}$ 이면 $V_d > 0$ 이고, 출력은 $-V_{max}$ 에서 $+V_{max}$ 로 변환

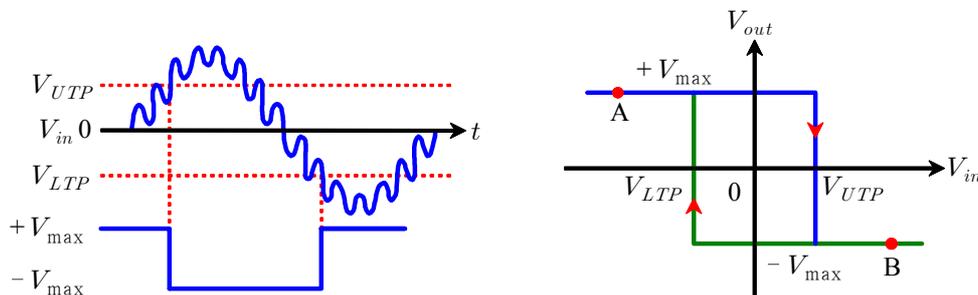
$$V_{LTP} = \frac{R_2}{R_1 + R_2} (-V_{max}) < 0 \tag{13.2}$$

- 그림 13.9(c)와 같이 잡음이 있어도 $V_{LTP} < V_{in} < V_{UTP}$ 인 동안 출력은 일정
 $\Rightarrow V_{in} > V_{UTP}$ 이거나 $V_{in} < V_{LTP}$ 일 때 출력이 상태 천이



(a) $V_{in} > V_{UTP}$ 일 때,
출력은 $+V_{max}$ 에서 $-V_{max}$ 로 전환

(b) $V_{in} < V_{LTP}$ 일 때,
출력은 $-V_{max}$ 에서 $+V_{max}$ 로 전환



(c) UTP나 LTP에 도달할 때 트리거

(d) 히스테리시스 곡선

그림 13.8 히스테리시스를 갖는 비교기(슈미트 트리거)의 동작

- 그림 13.8(a)와 그림 13.8(b)의 출력 전달 특성을 통합하면 그림 13.8(d)로 표시
 - ⇒ 현재 A에서 $V_{in} > V_{UTP}$ 인 순간에 $+V_{max} \rightarrow -V_{max}$ 로 변환
 - ⇒ 현재 B에서 $V_{in} < V_{LTP}$ 인 순간에 $-V_{max} \rightarrow +V_{max}$ 로 변환
 - ⇒ 히스테리시스 루프의 폭을 히스테리시스 전압 V_{HYS} 로 정의

$$V_{HYS} = V_{UTP} - V_{LTP} \quad (13.3)$$

【예제 13.2】 그림 13.9의 비교기에 대한 UTP와 LTP를 결정하라.

단, $+V_{max} = +5V$, $-V_{max} = -5V$.

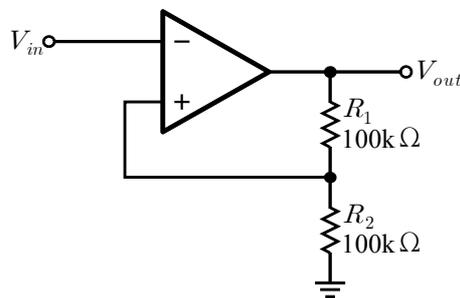


그림 13.9 예제 13.2의 회로

$$V_{UTP} = \frac{R_2}{R_1 + R_2} (+V_{max}) = \left(\frac{100}{100 + 100} \right) \times (+5) = +2.5 [V]$$

$$V_{LTP} = \frac{R_2}{R_1 + R_2} (-V_{max}) = \left(\frac{100}{100 + 100} \right) \times (-5) = -2.5 [V]$$

$$V_{HYS} = V_{UTP} - V_{LTP} = 2.5 - (-2.5) = 5 [V]$$

■

• 출력 제한

- 그림 13.10과 같이 비교기의 출력을 제너다이오드의 제너전압으로 제한 가능
 ⇒ 제너다이오드의 방향을 바꾸면 반대 출력전압으로 제한 가능

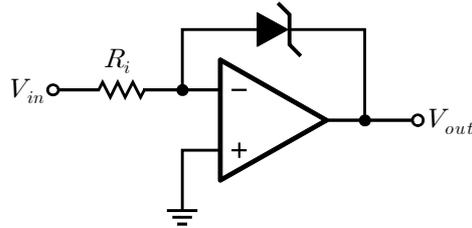
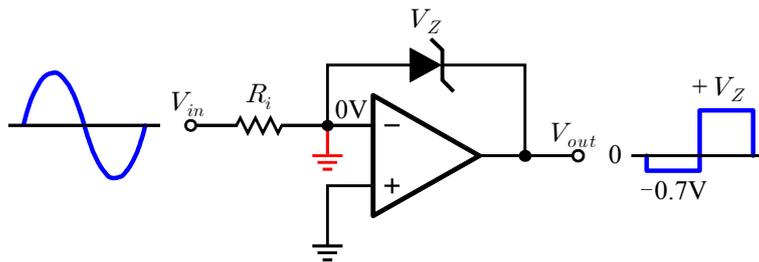
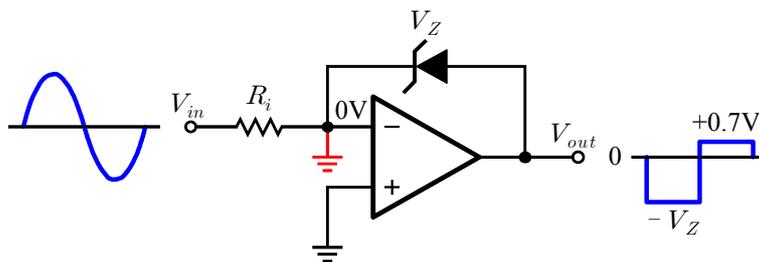


그림 3.10 출력 제한 비교기

- 그림 13.11(a)에서 제너다이오드의 양극은 반전 단자에 연결되어 가상접지 상태
 ⇒ V_{in} 의 양의 반주기 동안 $V_{out} < 0$ 이므로 다이오드는 순방향 바이어스
 ⇒ 출력전압은 다이오드의 순방향전압으로 제한, $V_{out} = -0.7V$
 ⇒ V_{in} 의 음의 반주기 동안 $V_{out} > 0$ 이므로 다이오드는 역방향 바이어스
 ⇒ 항복영역에서 출력전압은 제너전압으로 제한, $V_{out} = V_Z$
- 그림 13.11(b)와 같이 제너다이오드의 방향을 거꾸로 바꾸면 출력은 반대



(a) 양의 출력제한 비교기



(b) 음의 출력제한 비교기

그림 3.11 출력 제한 비교기의 동작

- 그림 13.12는 양의 출력 제한 비교기와 음의 출력 제한 비교기를 결합한 형태
 ⇒ 이중 출력제한 비교기

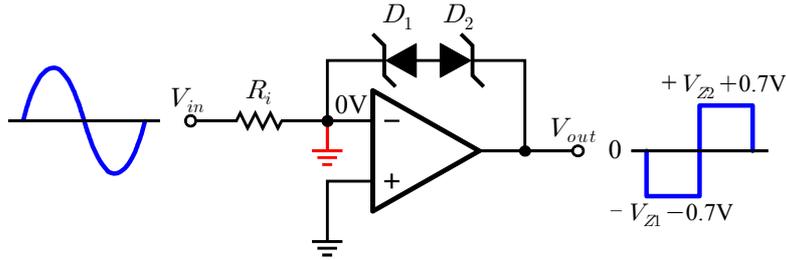


그림 13.12 이중 출력 제한 비교기

- V_{in} 의 양의 반주기 동안 D_1 은 역방향 바이어스, D_2 는 순방향 바이어스 상태
 ⇒ $V_{D1} = -V_{Z1}$, $V_{D2} = -0.7V$, $V_{out} = V_{D1} + V_{D2} = -V_{Z1} - 0.7V$
- V_{in} 의 음의 반주기 동안 D_1 은 순방향 바이어스, D_2 는 역방향 바이어스 상태
 ⇒ $V_{D1} = +0.7V$, $V_{D2} = +V_{Z2}$, $V_{out} = V_{D1} + V_{D2} = +V_{Z2} + 0.7V$

【예제 13.2】 그림 13.13의 출력 파형을 그려라.

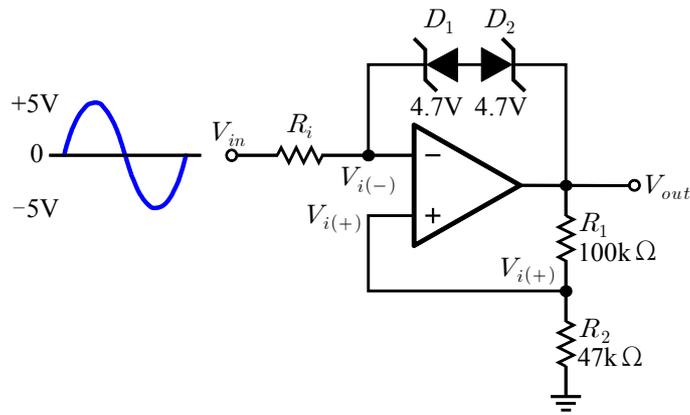


그림 13.13 예제 13.3의 회로

- 그림 13.13의 회로는 히스테리시스와 제너다이오드 출력 제한 비교기의 결합
 ⇒ 한 다이오드는 항복영역, 다른 다이오드는 순방향 바이어스 상태
 ⇒ 다이오드 D_1 과 D_2 양단의 전압은 항상 $V_D = \pm 5.4V$
 ⇒ 반전 입력 및 비반전 입력은 $V_{i(-)} = V_{i(+)} = V_{out} \pm 5.4V$

$$V_{R1} = V_{out} - V_{i(+)} = V_{out} - (V_{out} \pm 5.4V) = \pm 5.4V$$

$$I_{R2} = I_{R1} = \frac{V_{R1}}{R_1} = \frac{\pm 5.4V}{100k\Omega} = \pm 54[\mu A]$$

$$V_{R2} = R_2 I_{R2} = (47 \times 10^3)(\pm 54 \times 10^{-6}) = \pm 2.54[V]$$

$$V_{out} = V_{R1} + V_{R2} = \pm 5.4 \pm 2.54 = \pm 7.94[V]$$

$$V_{UTP} = \frac{R_2}{R_1 + R_2} (+V_{out}) = \left(\frac{47}{100 + 47} \right) \times (+7.94) = +2.54[V]$$

$$V_{LTP} = \frac{R_2}{R_1 + R_2} (-V_{out}) = \left(\frac{47}{100 + 47} \right) \times (-7.94) = -2.54[V]$$

- 이상의 결과로부터 주어진 입력에 대한 출력 파형은 그림 13.14으로 표시

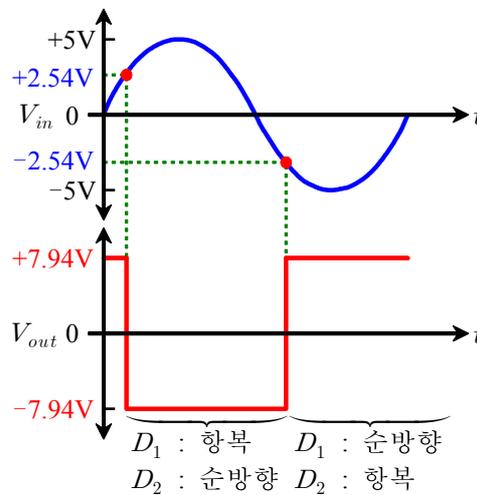


그림 13.14 예제 13.3의 출력 파형



13.2 가산증폭기

• 단위이득 가산증폭기

- 그림 13.20은 2개의 입력을 갖는 가산증폭기(summing amplifier) 회로를 표시

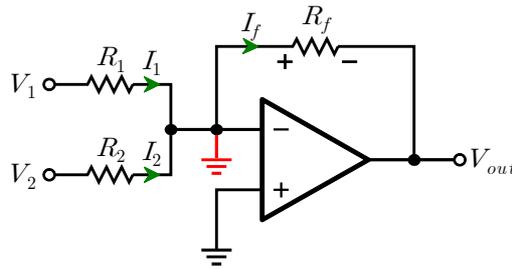


그림 13.20 두 입력을 갖는 반전가산기

- 반전단자는 가상접지이므로 반전입력은 0V이고 반전단자의 유입전류는 0A
 - ⇒ 저항 R_1, R_2 에 흐르는 전류 I_1 과 I_2 가 합해져 저항 R_f 로 통류
 - ⇒ 출력전압 V_{out} 은 저항 R_f 에 걸리는 전압과 극성이 반대
 - ⇒ $R_1 = R_2 = R_f = R$ 이면 V_{out} 은 두 입력의 합에 의해 결정
 - ⇒ n 개의 입력을 갖는 가산기의 출력은 식 (13.4)로 표시

$$I_1 = \frac{V_1}{R_1}, \quad I_2 = \frac{V_2}{R_2}, \quad I_f = I_1 + I_2$$

$$V_{out} = -R_f I_f = -R_f (I_1 + I_2) = -R_f \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} \right) = - \left(\frac{R_f}{R_1} V_1 + \frac{R_f}{R_2} V_2 \right)$$

$$V_{out} = - \left(\frac{R}{R} V_1 + \frac{R}{R} V_2 \right) = -(V_1 + V_2)$$

$$V_{out} = -(V_1 + V_2 + \dots + V_n) \tag{13.4}$$

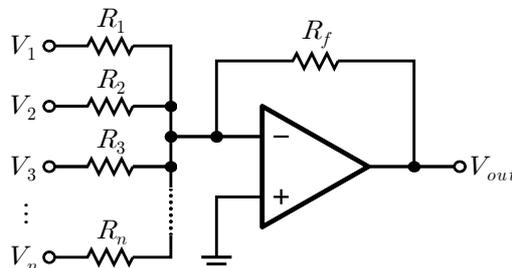


그림 13.21 n개의 입력을 갖는 가산기

【예제 13.5】 그림 13.22의 출력을 구하라.

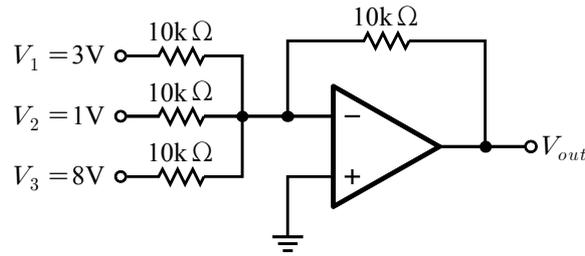


그림 13.22 예제 13.5의 회로

$$R_1 = R_2 = R_3 = R_f = 10[\text{k}\Omega], \quad V_1 = 3[\text{V}], \quad V_2 = 1[\text{V}], \quad V_3 = 8[\text{V}]$$

$$V_{out} = -(V_1 + V_2 + V_3) = -(3+1+8) = -12[\text{V}]$$

• 1보다 큰 이득을 갖는 가산증폭기

- R_f 가 각 입력저항 R 보다 크면 이득은 R_f/R 이며 출력전압은 식 (13.5)로 표시

$$V_{out} = -R_f \left(\frac{V_1}{R} + \frac{V_2}{R} + \dots + \frac{V_n}{R} \right) = -\frac{R_f}{R} (V_1 + V_2 + \dots + V_n) \quad (13.5)$$

【예제 13.6】 그림 13.23의 가산기의 출력을 구하라.

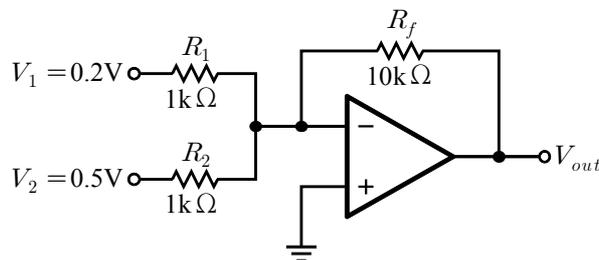


그림 13.23 예제 13.6의 회로

$$V_{out} = -\frac{R_f}{R} (V_1 + V_2) = -\frac{10}{1} (0.2+0.5) = -7[\text{V}]$$

• 평균증폭기

- $R_1 = R_2 = \dots = R_n = R = nR_f$ 일 경우 출력전압은 입력전압의 평균으로 결정

$$\frac{R_f}{R} = \frac{1}{n}, \quad V_{out} = -\frac{1}{n}(V_1 + V_2 + \dots + V_n)$$

【예제 13.7】 그림 13.24에서 출력전압이 입력전압의 평균값이 됨을 보여라.

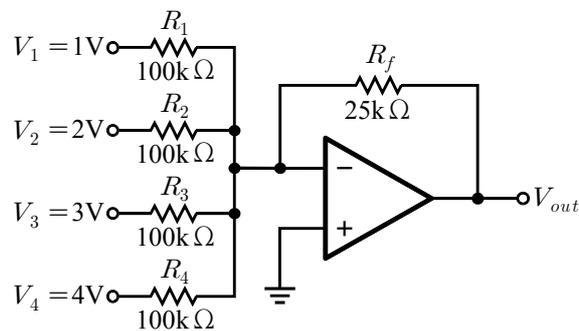


그림 13.24 예제 13.7의 회로

$$\begin{aligned} V_{out} &= -\frac{R_f}{R}(V_1 + V_2 + V_3 + V_4) = -\frac{25}{100}(1+2+3+4) \\ &= -\frac{10}{4} = -2.5[\text{V}] \end{aligned}$$

$$V_{in(av)} = \frac{1}{4}(1+2+3+4) = \frac{10}{4} = 2.5[\text{V}]$$

■

• 스케일링 가산기(Scaling Adder)

- 입력 저항을 조절함으로써 가산증폭기의 각 입력에 다른 값을 인가 가능
 - ⇒ 입력의 가중치는 입력저항 R_i 와 R_f 의 비로 결정
 - ⇒ 가산기의 출력전압은 식 (13.6)에 의해 결정

$$V_{out} = -\left(\frac{R_f}{R_1} V_1 + \frac{R_f}{R_2} V_2 + \dots + \frac{R_f}{R_n} V_n\right) \quad (13.6)$$

【예제 13.8】 그림 13.25의 스케일링 가산기에 대한 입력전압의 가중치는?

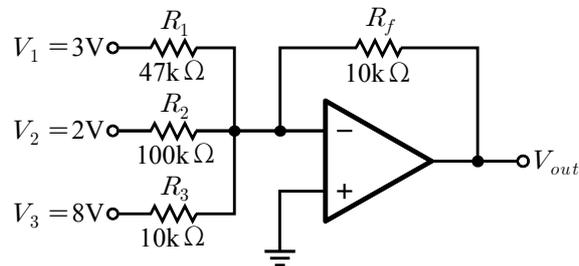


그림 13.25 예제 13.8의 회로

$$\frac{R_f}{R_1} = \frac{10}{47} = 0.213, \quad \frac{R_f}{R_2} = \frac{10}{100} = 0.1, \quad \frac{R_f}{R_3} = \frac{10}{10} = 1$$

$$\begin{aligned} V_{out} &= -\left(\frac{R_f}{R_1} V_1 + \frac{R_f}{R_2} V_2 + \frac{R_f}{R_3} V_3\right) = -(0.213 \times 3 + 0.1 \times 2 + 1 \times 8) \\ &= -(0.64 + 0.2 + 8) = -8.84[\text{V}] \end{aligned}$$

■

• 감산증폭기(차동증폭기)

- 그림 13.26은 단일 연산증폭기를 이용하여 구성된 감산증폭기 회로를 표시
 ⇒ V_1 과 V_2 가 입력되므로 중첩의 원리를 이용하여 출력 계산

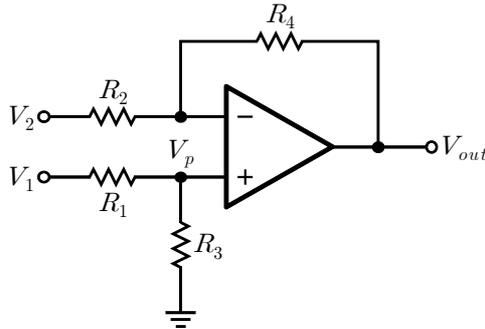


그림 13.26 감산증폭기

- 그림 13.27은 V_2 를 단락시키고 V_1 만 인가되었다고 가정하고 나타낸 회로
 ⇒ 비반전 입력단자에 입력전압 V_p 가 인가된 비반전 증폭기

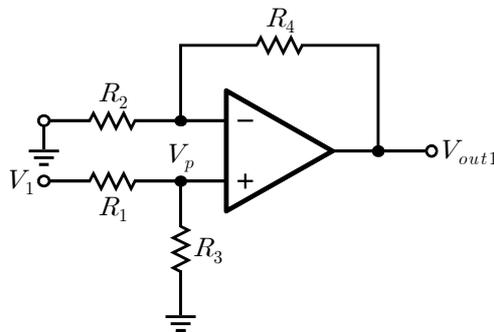


그림 13.27 V_2 를 단락시킨 감산증폭기 회로

- 연산증폭기의 입력전압 V_p 는 R_1 과 R_3 에 전압분배법칙을 적용하여 계산
 ⇒ 비반전 증폭기의 입출력 관계를 이용하여 출력전압을 계산

$$V_p = \frac{R_3}{R_1 + R_3} V_1, \quad V_{out} = \left(1 + \frac{R_f}{R_i}\right) V_p = \left(\frac{R_i + R_f}{R_i}\right) V_p, \quad R_i = R_2, \quad R_f = R_4$$

$$V_{out1} = \left(\frac{R_2 + R_4}{R_2}\right) V_p = \left(\frac{R_2 + R_4}{R_2}\right) \left(\frac{R_3}{R_1 + R_3}\right) V_1$$

- 그림 13.28은 V_1 을 단락시키고 V_2 만 인가되었다고 가정하고 나타낸 회로
 $\Rightarrow V_p = 0$ 이므로 반전 입력단자에 전압 V_2 가 인가된 반전증폭기

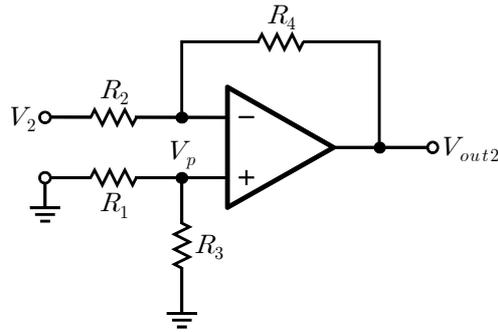


그림 13.28 V_1 을 단락시킨 감산증폭기 회로

- 그림 13.28의 회로에 반전증폭기의 입출력 관계를 적용하여 출력전압을 계산

$$V_{out2} = -\frac{R_f}{R_i} V_{in} = -\frac{R_4}{R_2} V_2$$

- 중첩의 원리를 적용하여 V_1 과 V_2 가 동시에 인가된 경우의 출력전압을 계산

$$V_{out} = V_{out1} + V_{out2} = \left(\frac{R_2 + R_4}{R_2}\right)\left(\frac{R_3}{R_1 + R_3}\right)V_1 - \frac{R_4}{R_2} V_2$$

- $R_1 = R_3$ 이고 $R_2 = R_4$ 이라고 가정하고 감산증폭기의 출력전압 V_{out} 을 계산

$$\begin{aligned} V_{out} &= \left(\frac{R_2 + R_2}{R_2}\right)\left(\frac{R_1}{R_1 + R_1}\right)V_1 - \frac{R_2}{R_2} V_2 = \left(\frac{2R_2}{R_2}\right)\left(\frac{R_1}{2R_1}\right)V_1 - \frac{R_2}{R_2} V_2 \\ &= (2)\left(\frac{1}{2}\right)V_1 - V_2 \end{aligned}$$

$$V_{out} = V_1 - V_2$$

13.3 적분기와 미분기

• 연산증폭기 적분기

- 그림 13.31은 반전증폭기 회로에서 저항 R_f 대신에 커패시터 C 로 대치한 회로
 ⇒ 출력전압이 입력전압의 적분값에 비례하여 표시되는 적분기 회로

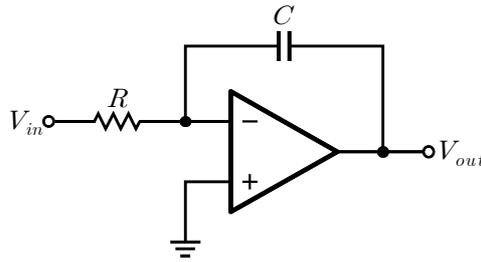


그림 13.31 연산증폭기 적분기

- 커패시터의 충전전하는 전류와 시간에 비례하며, 전압과 커패시턴스에 비례
 ⇒ 두 관계로부터 커패시터 전압을 유도

$$I_C = \frac{Q}{t}, \quad Q = I_C t, \quad Q = C V_C, \quad C V_C = I_C t, \quad V_C = \left(\frac{I_C}{C}\right)t$$

- 커패시터 전압은 원점을 지나고 기울기가 I_C/C 인 t 에 비례하는 직선으로 표시
 ⇒ 일반 RC 회로에서 커패시터의 충전에 따라 전류는 지수적으로 감소
 ⇒ 실제 커패시터 전압은 선형이 아니고 지수함수로 표시
- 연산증폭기를 사용한 적분기의 RC 회로에서는 커패시터 전류가 일정하게 유지
 ⇒ 지수함수적인 전압이 아니라 거의 선형적인 전압을 생성
- 그림 13.32에서 연산증폭기의 반전 입력은 가상접지, R 의 전압은 V_{in} 과 동일
 ⇒ V_{in} 이 일정하면 반전입력이 0V로 일정하므로 전류 I_{in} 도 일정
 ⇒ 반전입력 전류는 무시되므로 커패시터 전류 I_C 는 I_{in} 과 동일

$$I_C = I_{in} = \frac{V_{in}}{R}$$

- I_{in} 이 일정하므로 일정 전류 I_C 가 커패시터를 충전시켜 커패시터 전압도 일정
 ⇒ 커패시터의 (+)단자는 연산증폭기의 가상접지에 의해 0V를 유지
 ⇒ 커패시터의 (-)단자 전압은 그림 13.33과 같이 선형적으로 감소

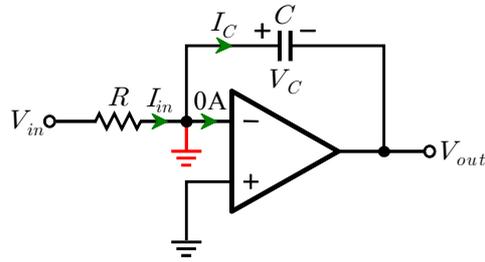


그림 13.32 적분기의 전류 방향

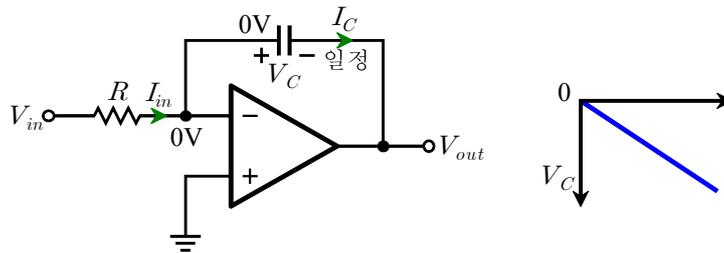


그림 13.33 일정 충전전류에 의한 커패시터 램프전압

- 그림 13.34에서 적분기의 출력전압 V_{out} 은 커패시터 (-)단자의 전압과 동일
 \Rightarrow 계단입력전압이 인가되면 출력전압은 $-V_{max}$ 까지 감소

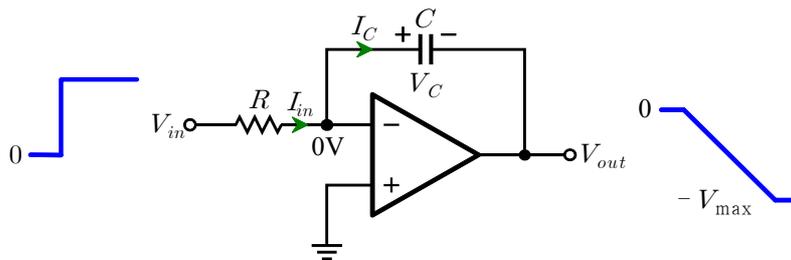


그림 13.34 일정 입력전압에 의한 램프출력

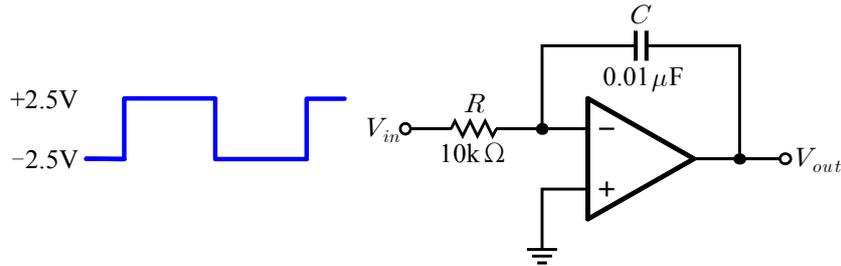
- 커패시터의 충전율의 기울기는 I_C/C 로 결정되며 충전전류는 $I_C = I_{in} = V_{in}/R$
 \Rightarrow 적분기의 출력의 변화율(기울기)는 식 (13.7)로 표시

$$\frac{\Delta V_{out}}{\Delta t} = -\frac{I_C}{C} = -\frac{V_{in}}{RC} \tag{13.7}$$

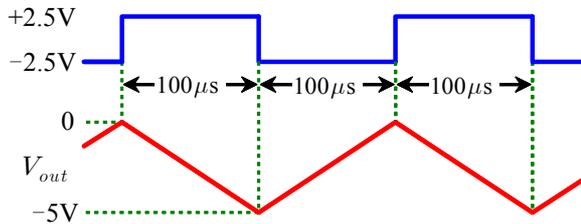
$$\Delta V_{out}(t) = -\left(\frac{V_{in}}{RC}\right)\Delta t, \quad dV_{out}(t) = -\left(\frac{V_{in}}{RC}\right)dt$$

$$V_{out}(t) = -\frac{1}{RC} \int_0^t V_{in}(\tau) d\tau$$

【예제 13.10】 (a) 그림 13.35(a)의 적분기에 단일 펄스입력에 대한 출력의 변화율을 구하라. 출력의 초기전압은 0이고 펄스폭은 $100\mu\text{s}$ 이다. (b) 출력상태를 설명하고 파형을 그려라.



(a) 적분기 회로



(b) 입출력 파형

그림 13.35 예제 13.10의 회로 및 출력파형

- 입력펄스가 (+)인 동안과 (-)인 동안의 출력의 변화율을 계산

$$\begin{aligned} \frac{\Delta V_{out}}{\Delta t} &= -\frac{V_{in(+)}}{RC} = -\frac{5}{(10 \times 10^3)(0.01 \times 10^{-6})} \\ &= -\frac{5}{100} [\text{V}/\mu\text{s}] = -50 [\text{mV}/\mu\text{s}] \end{aligned}$$

$$\frac{\Delta V_{out}}{\Delta t} = +\frac{V_{in(-)}}{RC} = +\frac{5}{100} [\text{V}/\mu\text{s}] = +50 [\text{mV}/\mu\text{s}]$$

- 입력이 +2.5V일 때 출력은 (-)의 기울기, -2.5V일 때 출력은 (+)의 기울기
 ⇒ $100\mu\text{s}$ 후의 출력 전압을 계산

$$\Delta V_{out} = -\frac{V_{in(+)}}{RC} \Delta t = -\frac{5}{100} \times 100 = -5 [\text{V}]$$

- 이상의 결과로부터 출력파형은 그림 13.25(b)와 같은 삼각파형으로 표시



• 연산증폭기 미분기

- 그림 13.36은 그림 13.31의 적분기에서 R과 C의 위치를 바꾸어 놓은 회로
 ⇒ 출력전압이 입력전압의 변화율(미분)에 비례하는 미분기 회로

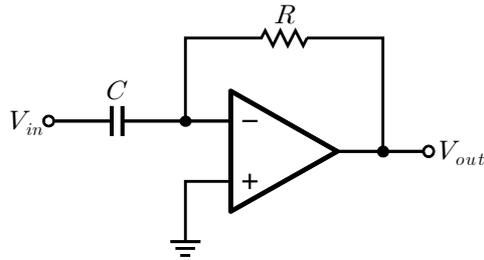


그림 13.36 연산증폭기 미분기

- 그림 3.37의 미분기 회로에 (+)의 기울기를 갖는 램프입력을 인가한 경우
 ⇒ $I_C = I_m$ 이고 반전입력이 가상접지이므로 V_C 는 V_{in} 과 동일
 ⇒ 커패시터 전압의 변화율(V_C/t)이 일정하므로 전류는 일정
 ⇒ 전류가 일정하므로 출력전압도 일정하며 식 (13.8)로 표시

$$V_{in} = V_C = \left(\frac{I_C}{C}\right)t, \quad I_C = \left(\frac{V_{in}}{t}\right)C, \quad I_R = I_C, \quad V_{out} = -RI_R = -RI_C$$

$$V_{out} = -\left(\frac{V_{in}}{t}\right)RC = -RC \frac{dV_{in}}{dt} \tag{13.8}$$

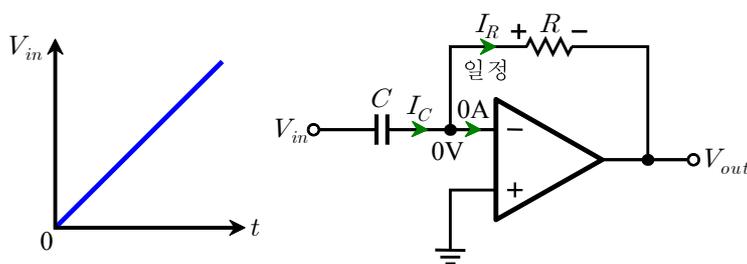


그림 13.37 램프입력을 갖는 미분기

- 그림 13.38과 같이 입력의 기울기가 (+)이면 출력은 (-), (-)이면 출력은 (+)
 ⇒ 입력이 $t_0 \sim t_1$ 인 동안 커패시터는 입력전원에 의해 충전
 ⇒ 귀환저항을 통해 흐르는 전류의 방향은 시계 방향
 ⇒ $t_1 \sim t_2$ 에 커패시터는 방전되며 전류의 방향은 반대

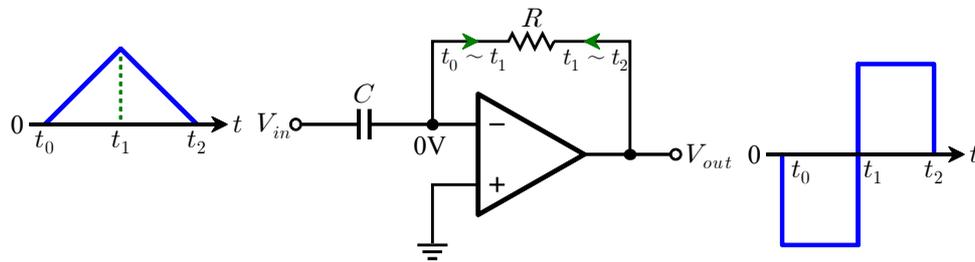


그림 13.38 삼각파 입력에 대한 미분기 출력

【예제 13.11】 그림 13.39의 회로에서 미분기의 출력파형을 그려라.

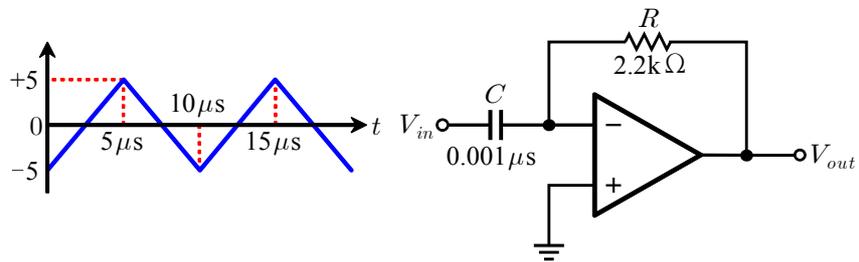


그림 13.39 예제 13.11의 회로

$$RC = (2.2 \times 10^3)(0.001 \times 10^{-6}) = 2.2[\mu\text{s}], \quad \frac{V_C}{t} = \frac{10}{5} = 2[\text{V}/\mu\text{s}]$$

$$V_{out} = -\left(\frac{V_C}{t}\right)RC = -(2 \times 2.2) = -4.4[\text{V}]$$

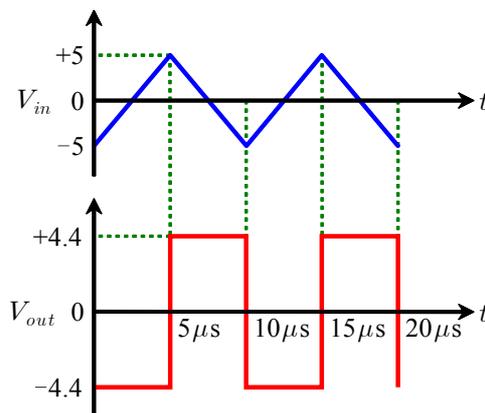


그림 13.40 예제 13.11의 입출력 파형

